

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-036525

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

G06F 12/08  
G06F 12/08

(21)Application number : 06-169416

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.07.1994

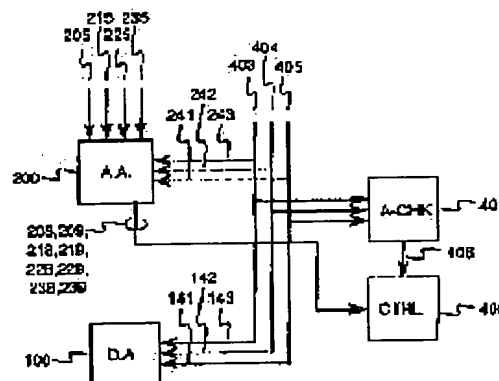
(72)Inventor : NISHII OSAMU  
OKADA TETSUHIKO

## (54) MULTIPLE ACCESS CACHE STORAGE DEVICE

(57)Abstract:

PURPOSE: To write and read data at the same time by deciding whether or not plural data transfer instructions can be executed at the same time and controlling a tag memory and a data memory.

CONSTITUTION: An address decision circuit 401 performs operation from the logical access addresses 403-405 of 1st-3rd load and store instructions to decide whether or not  $\geq 2$  load and store instructions can be executed at the same time. A cache control circuit 402 executes all the load and store instruction when the decision result 406 indicates 1, but when the decision result indicates 0, since the instructions can not be executed at the same time, the execution of some of the load and store instructions are delayed for every clockes unit and the remaining instructions are executed. Since the tag memory and data memory are controlled on the basis of the decision result 406, the writing and reading of data based upon pural data transfer instructions can be performed at the same time with one clock without increasing the area.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-36525

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 12/08

識別記号 庁内整理番号

G 7623-5B

3 1 0 Z 7623-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平6-169416

(22) 出願日 平成6年(1994)7月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 西井 修

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 岡田 哲彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 秋田 収喜

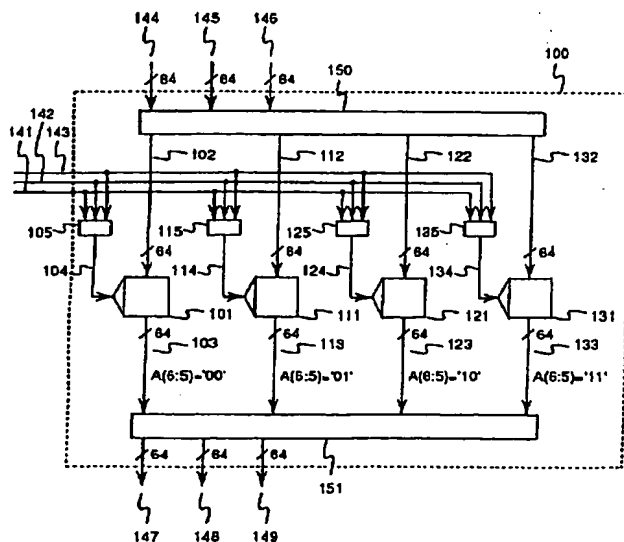
(54) 【発明の名称】 多重アクセスキャッシュ記憶装置

(57) 【要約】

【目的】 面積を増加させることなく、2つ以上のデータ転送命令による、データの書き込み・読み出しを、同時に実行することが可能なキャッシュ記憶装置を提供すること。

【構成】 それぞれ独立してアクセス可能な複数個のタグメモリと、それぞれ独立してアクセス可能な複数個のデータメモリと、複数のデータ転送命令のアクセスアドレスから、前記複数のデータ転送命令が同時にアクセス可能かどうかを判定するアドレス判定回路と、前記アドレス判定回路の判定結果に基づき、前記各メモリをそれぞれ独立して制御して、2つ以上のデータ転送命令による、データの書き込み・読み出しを、同時に実行する。

図 1



1

## 【特許請求の範囲】

【請求項1】 複数のデータ転送命令による、データの書き込み・読み出しを同時に実行することが可能な多重アクセスキャッシュ記憶装置であって、それぞれ独立してアクセス可能な複数のタグメモリと、それぞれ独立してアクセス可能な複数のデータメモリと、前記複数のデータ転送命令に基づく書き込みデータを、対応するデータメモリに転送する第1の手段と、前記複数のデータメモリから読み出したデータを、前記複数のデータ転送命令に基づく読み出しデータとして転送する第2の手段と、前記複数のデータ転送命令のアクセスアドレスが入力され、前記複数のデータ転送命令が同時にアクセス可能かどうかを判定するアドレス判定回路と、前記アドレス判定回路の判定結果に基づき、前記各メモリ、各手段を制御する制御回路とを具備することを特徴とする多重アクセスキャッシュ記憶装置。

【請求項2】 請求項1に記載された多重アクセスキャッシュ記憶装置において、前記それぞれ独立してアクセス可能な複数のタグメモリが、複数のタグメモリと、データ転送命令のアクセスアドレスの一部であるキャッシュラインアドレスの1つを、前記複数のデータ転送命令のキャッシュラインアドレスの中から選択してタグメモリに入力する、複数のタグメモリ毎に設けられ複数のタグメモリに対して別個なセレクト結果を達成する複数のキャッシュラインセクタとから構成され、前記それぞれ独立してアクセス可能な複数のデータメモリが、複数のデータメモリと、データ転送命令のアクセスアドレスの一部であるワードアドレスの1つを、前記複数のデータ転送命令のワードアドレスの中から選択してデータメモリに入力する、複数のデータメモリ毎に設けられ複数のデータメモリに対して別個なセレクト結果を達成する複数のワードセクタとから構成され、前記制御回路が、前記アドレス判定回路の判定結果に基づき、前記各メモリ、各セクタ、および、各手段を制御することを特徴とする多重アクセスキャッシュ記憶装置。

【請求項3】 請求項1または請求項2に記載された多重アクセスキャッシュ記憶装置において、前記複数のタグメモリが、1個のタグメモリが分割されて構成され、前記複数のデータメモリが、1個のデータメモリが分割されて構成されることを特徴とする多重アクセスキャッシュ記憶装置。

【請求項4】 請求項1ないし請求項3のいずれか1項に記載された多重アクセスキャッシュ記憶装置を具備するプロセッサ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサ、汎用計算機等に使用されるキャッシュ記憶装置に係わり、特に、複数のデータ転送命令により、データの書き

2

込み・読み出しを同時に実行することが可能な多重アクセスキャッシュ記憶装置に関する。

【0002】

【従来の技術】 データ転送命令であるロード命令・ストア命令は、RISC型命令セットプロセッサに共通した命令であり、ロード命令とは、主記憶に格納されたデータをプロセッサのマシンレジスタに転送する命令であり、ストア命令は、その反対にプロセッサのマシンレジスタに格納されたデータを主記憶に転送する命令である。

【0003】 ロード・ストア命令は、主記憶上の変数を参照、更新するための基本的命令である。

【0004】 RISC以外の命令セット、例えば、CISC命令でも、主記憶に格納されたデータをマシンレジスタに転送する、また、マシンレジスタに格納されたデータを主記憶に転送する動作があり、あるいは、その転送の際に演算を行うものもあるが、これらの動作もデータアクセスが行われるという観点からはロード・ストア命令と同様であり、それらも本明細書中ではロード・ストア命令と称する。

【0005】 データキャッシュを有するプロセッサの場合、キャッシュがヒットする限りには主記憶のアクセスはキャッシュメモリのアクセスによって代用して達成される。

【0006】 その場合、ロード命令のデータ転送は、物理的にはデータキャッシュからマシンレジスタへのデータ転送となり、ストア命令のデータ転送は、物理的にはマシンレジスタからデータキャッシュへのデータ転送となる。

【0007】 一方、スーパースカラ型プロセッサとは、1クロックサイクル当り複数の命令を実行するために、命令処理ハードウェア（例えば演算器）を、1クロックサイクル当り1命令を処理する場合と比較して多重に備え、その多重のハードウェアを並列に実行させるプロセッサ装置のことをいう。

【0008】 スーパースカラ型プロセッサに関する従来技術の一例が、1992年2月開催の1992 IEEE / International Solid-state Circuits Conference (ISSCC), スライド集 (Slide Supplement), pp. 74, 75, 212, タイトル "A Three-Million-Transistor Microprocessor" に記載されている。

【0009】 当該文献の第4、第5のスライドでは、3個の命令が並列に処理される様子が図示されている。

【0010】 ただし、このプロセッサでは、1クロックあたりに同時に実行できるロード・ストア命令は最大1個であり、当該文献の第4、第5のスライドでも1クロックに複数のロード・ストア命令が実行されるケースは見当たらない。

【0011】 また、スーパースカラ型プロセッサに関する従来技術の他の例が、1994年2月開催の1994 IEEE

3

E / International Solid-state Circuits Conference (ISSCC) 論文集 pp. 204, 205, 339, タイトル "A 300MIPS, 300MFLOPS Four-Issue CMOS Superscalar Microprocessor" に記載されている (以下、本文献を、文献 [ISSCC94] と称す)。

【0012】当該文献 [ISSCC94] によれば、1クロックあたりに2個のロード・ストア命令が実行可能である。

【0013】また、当該文献 [ISSCC94] によれば、2個のロード・ストア命令を並列に実行するために2ポートメモリセルがデータキャッシュに使用されている (文献 [ISSCC94]、右段25行目、"dual-ported" 参照)。

【0014】2ポートメモリセルとは、1ポートメモリセルと比較してワード線、データ線をそれぞれ2重に有するメモリセルのことをいい、同時に2つのアドレスのアクセスができることが特徴である。

【0015】同様に、3ポート以上のメモリが実現可能であることも、従来から知られている。

【0016】また、スーパースカラ型プロセッサに関する従来技術の他の例が、1992年8月に米国スタンフォード大学で開催された "Hot Chips IV" (第4回ホットチップス) 論文集内の "SuperScalar Architecture of the P5, Intel's Next Generation Microprocessor" に記載されている (以下、本文献を、文献 [HOT92] と称す)。

【0017】当該文献 [HOT92] の4ページ目には、"Dual-Access Data Cache" なる図面があり、2ポートのキャッシュタグ、1ポートのキャッシュデータの図が記載されており、そのキャッシュによって、Uパイプ、Vパイプからの2つのロード・ストアアクセスを並列して達成していると推測できる。

【0018】また、同図の中には、"Bank Conflict Detect" 回路の出力が1ポートのキャッシュデータに至っている。

【0019】このことより、2つのロード・ストアアクセスを行う際に複数のバンクに対して独立したアクセスを行うと推測できる。

【0020】具体的に例示すると、データキャッシュが2バンクに分けられており、2バンクに分けられたデータキャッシュをバンク0、バンク1と呼ぶことにすると、Uパイプが発するロード・ストア要求をバンク0に、Vパイプが発するロード・ストア要求をバンク1に割り当てることによって2つのロード・ストアアクセスを行うことである。

【0021】しかしながら、前記文献 [HOT92] では、バンクに分けられているのはキャッシュデータのみであり、キャッシュタグ部分のメモリはバンクに分けられていない。

4

【0022】また、2つのロード・ストアアクセスを並列に受理するため、キャッシュタグ部分のメモリに2ポートメモリが必要になっていると推測できる。

【0023】一方、バンク分けされたキャッシュメモリに関する従来技術の一例が、1991年10月開催の1991 IEEE International Conference on Computer Design 論文集、pp. 128-131, タイトル "On-chip Multiple Superscalar Processors with Secondary Cache Memories" に記載されている。

【0024】当該文献には、2個のプロセッサ、およびバンク分けされた複数の2次キャッシュメモリ (Fig. 2のSC0, . . . , SC3) が記載されている。

【0025】当該文献のFig. 3に示されるタイミング図では、SC0, SC1, SC2が時間的にオーバーラップしてアクセスされているが、それらの間のスタート時間は最低1クロックずれている。

【0026】また、この2次キャッシュメモリは、1次キャッシュメモリ (Fig. 1のIC1, DC1, IC2, DC2) のキャッシュミスの際のブロック置換処理に用いられているのみであり、プロセッサのキャッシュヒットの場合に機能しない。

【0027】また、当該文献では1つのプロセッサ (正確には1つの命令流を処理する装置) から1クロックあたりに2個のロード・ストア命令が実行可能とはなっていない。

【0028】

【発明が解決しようとする課題】前記文献 [ISSCC94] および文献 [HOT92] では、アドレスレイ、データレイのいずれか一方に、複数ポートセル (2ポートセル、3ポートセル、. . . ) を用いるため、メモリセルの1ビット当たりの面積が大きくなるという問題点があった。

【0029】さらに、前記文献のアイディアの延長線上では、1クロックに3個のロード・ストア命令を並列に実行するために3ポートメモリセルが必要となる。

【0030】しかし、2ポートセルを3ポートセルにするのは、メモリセルのうち配線に依存する部分の面積はポート数の2乗に比例するため、面積制約の点から一層困難であるという問題点があった。

【0031】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、キャッシュ記憶装置において、面積を増加させることなく、2つ以上のデータ転送命令による、データの書き込み・読み出しを、1つのクロックで同時に実行することが可能となる技術を提供することにある。

【0032】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0033】

50 【課題を解決するための手段】本願において開示される

5

発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0034】(1)複数のデータ転送命令による、データの書き込み・読み出しを同時に実行することが可能な多重アクセスキャッシュ記憶装置であって、それぞれ独立してアクセス可能な複数個のタグメモリと、それぞれ独立してアクセス可能な複数個のデータメモリと、前記複数のデータ転送命令に基づく書き込みデータを、対応するデータメモリに転送する第1の手段と、前記複数個のデータメモリから読み出したデータを、前記複数のデータ転送命令に基づく読み出しデータとして転送する第2の手段と、前記複数のデータ転送命令のアクセスアドレスが入力され、前記複数のデータ転送命令が同時にアクセス可能どうかを判定するアドレス判定回路と、前記アドレス判定回路の判定結果に基づき、前記各メモリ、各手段を制御する制御回路とを具備することを特徴とする。

【0035】(2)前記(1)の手段において、前記それぞれ独立してアクセス可能な複数個のタグメモリが、複数個のタグメモリと、データ転送命令のアクセスアドレスの一部であるキャッシュラインアドレスの1つを、前記複数のデータ転送命令のキャッシュラインアドレスの中から選択してタグメモリに入力する、複数個のタグメモリ毎に設けられ複数個のタグメモリに対して別個なセレクト結果を達成する複数個のキャッシュラインセクタとから構成され、前記それぞれ独立してアクセス可能な複数個のデータメモリが、複数個のデータメモリと、データ転送命令のアクセスアドレスの一部であるワードアドレスの1つを、前記複数のデータ転送命令のワードアドレスの中から選択してデータメモリに入力する、複数個のデータメモリ毎に設けられ複数個のデータメモリに対して別個なセレクト結果を達成する複数個のワードセクタとから構成され、前記制御回路が、前記アドレス判定回路の判定結果に基づき、前記各メモリ、各セクタ、および、各手段を制御することを特徴とする。

【0036】(3)前記(1)または(2)の手段において、前記複数個のタグメモリが、1個のタグメモリが分割されて構成され、前記複数個のデータメモリが、1個のデータメモリが分割されて構成されることを特徴とする。

【0037】

【作用】前記手段によれば、キャッシュ記憶装置において、それぞれ独立してアクセスされるタグメモリとデータメモリとを複数個設け、また、複数のデータ転送命令のアクセスアドレスに基づき、前記複数のデータ転送命令が同時にアクセス可能どうかを判定する。

【0038】そして、前記判定結果に基づいてタグメモリとデータメモリとを制御するようにしたので、複数のデータ転送命令に基づくデータの書き込み・読み出し

6

を、面積を増加させることなく、1クロックで同時に実行することが可能となる。

【0039】さらに、1つのタグメモリとデータメモリとを分割して、それぞれ独立にアクセスされるタグメモリとデータメモリとを構成するようにしたので、面積をさらに低減させることが可能となる。

【0040】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0041】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0042】図1は、本発明の一実施例である多重アクセスキャッシュ記憶装置のデータアレイ部の概略構成を示すブロック図である。

【0043】図1において、100はデータアレイ部、101、111、121、131はデータメモリ、102、112、122、132はデータメモリの64ビットの書き込みデータ103、113、123、133はデータメモリの64ビットの読み出しデータ、104、114、124、134は8ビットのデータメモリのワードアドレス、105、115、125、135は3入力セクタ、141、142、143は第1、第2、第3のロード・ストア命令のワードアドレス、144、145、146は第1、第2、第3のストア命令のストアデータ、147、148、149は第1、第2、第3のロード命令のロードデータ、150はストアデータの位置合わせ器、151はロードデータの位置合わせ器である。

【0044】データメモリ101は、2キロバイトの容量を有し、256ワード×64ビットの物理的構成を有している。

【0045】また、8ビットのアドレス104は256ワードに対応している(2の8乗=256)。

【0046】さらに、本実施例の多重アクセスキャッシュ記憶装置のライン長は32バイトである。

【0047】データメモリ101、111、121、131の動作は、次のいずれかである。

【0048】(1)リード動作

ワードアドレス104、114、124、134で指示されたワード64ビットのデータを読み出しデータ103、113、123、133として出力する。

【0049】(2)ライト動作

書き込みデータ102、112、122、132を、ワードアドレス104、114、124、134で指示されたワードに書き込む。

【0050】本実施例の多重アクセスキャッシュ記憶装置では、データメモリ101はA(6:5)='00'なるデータの格納に、データメモリ111はA(6:5)='01'なるデータの格納に、データメモリ12

7

1はA(6:5)='10'なるデータの格納に、データメモリ131はA(6:5)='11'なるデータの格納に用いられる。

【0051】ここで、A(i:j)はアドレスの第iビットから第jビットまでの束線集合をさすものとし、また、A(0)がLSBを示すものとする。

【0052】また、ロード・ストア命令のワードアドレス141には、第1の命令実行順序のアクセスアドレスのワードアドレスが、ロード・ストア命令のワードアドレス142には、第2の命令実行順序のアクセスアドレスのワードアドレスが、ロード・ストア命令のワードアドレス143には、第3の命令実行順序のアクセスアドレスのワードアドレスが供給される。

【0053】3入力セクタ105、115、125、135は、いずれもロード・ストア命令のワードアドレス141、142、143のうちの1つを選択するが、その選択のしかたは、3入力セクタ105、115、125、135の4個がそれぞれ独立して行うことができる。

【0054】第1、第2、第3のストア命令のストアデータ144、145、146は、ストアデータの位置合わせ器150を経由して、データメモリ101、111、121、131の書き込みデータ102、112、122、132として出力される。

【0055】データメモリ101、111、121、131の読み出しデータ103、113、123、133は、ロードデータの位置合わせ器151を経由して、第1、第2、第3のロード命令のロードデータ147、148、149として出力される。

【0056】図2は、本発明の一実施例である多重アクセスキャッシュ記憶装置のアドレスアレイ(タグメモリ)部の概略構成を示すブロック図である。

【0057】図2において、200はアドレスアレイ部、201、211、221、231はタグを格納するタグメモリ、202、212、222、232はフラグを格納するフラグメモリ、203、213、223、233は3入力セクタ、204、214、224、234は一致比較器、205、215、225、235はアドレス変換機構が発生する物理アドレス、206、216、226、236はキャッシュラインアドレス、207、217、227、237はタグメモリの読み出しデータ、208、218、228、238はフラグメモリの読み出しデータ、209、219、229、239はヒット判定結果、241、242、243はロード・ストア命令のキャッシュラインアドレスである。

【0058】本実施例のアドレスアレイ部200は、4バンクのメモリを有している。

【0059】以下、1つのバンクについて説明する。

【0060】3入力セクタ203は、第1、第2、第3のキャッシュラインアドレス241、242、243

8

(それぞれ命令実行順序の第1、第2、第3に対応する)のうちの1つのキャッシュラインアドレスを選択する。

【0061】選択されたキャッシュラインアドレスによって、タグメモリ201、フラグメモリ202の中の1つのラインがアクセスされる。

【0062】タグメモリの読み出しデータ207と、アドレス変換機構(論理アドレスを物理アドレスに変換する装置)からの物理アドレス205とは、一致比較器204に転送され、比較される。

【0063】タグメモリの読み出しデータ207と、物理アドレス205とが一致した場合に、キャッシュヒットとなり、そのヒット判定結果209は命令制御部(図示されない)へ送られる。

【0064】また、フラグメモリの読み出しデータ208も、命令制御部へ送られる。

【0065】図3は、本実施例の多重アクセスキャッシュ記憶装置において、3つのロード・ストア命令が並列に処理される場合のタイミングを示すタイミング図である。

【0066】図3において、横方向は時間を示し(右向きが正)、また、縦方向は命令の実行順序を示している。

【0067】301~309は、32ビット固定長の命令を示す。

【0068】図3示すように、3命令301、302、303は、同一のクロックサイクルで処理されている。

【0069】また同様に、3命令304、305、306、および、3命令307、308、309も同一のクロックサイクルで処理されている。

【0070】304、305、306はそれぞれ64ビットのロード命令であり、それぞれの命令の動作は以下の通りである。

【0071】(4)命令304

論理アドレス0x3F20を先頭番地とする64ビットのデータを、FPR10に転送する。

【0072】(5)命令305

論理アドレス0xC478を先頭番地とする64ビットのデータを、レジスタFPR11に転送する。

【0073】(6)命令306

論理アドレス0x3F10を先頭番地とする64ビットのデータを、レジスタFPR12に転送する。

【0074】ここで、0xは16進数を示す。

【0075】FPR10、11、12とはプロセッサのマシンレジスタの名前である。

【0076】なお、本実施例の多重アクセスキャッシュ記憶装置例では、説明の簡単のため論理アドレス=物理アドレスなるマッピング(対応づけ)がなされているものとする。

【0077】3つの命令304、305、306のアド

9

レスフィールド(6:5)はそれぞれ'01', '11', '00'なので、この場合には並列に実行可能である。

【0078】310~314は、それぞれ3つの命令304, 305, 306の令処理のパイプラインステージを示す。

【0079】ステージ313でロード命令のデータ参照が行われる。

【0080】ステージ313で、命令304の実行のためにデータメモリ111が、命令305の実行のためにデータメモリ131が、命令306の実行のためにデータメモリ101が、それぞれアクセスされている。

【0081】以上の動作を成立させるためにステージ313の開始時刻には次のようなアドレス選択が行われている。

【0082】セクタ105は命令306に対応するワードアドレス143を、セクタ115は命令304に対応するワードアドレス141を、セクタ135は命令305に対応するワードアドレス142を、それぞれ選択している。

【0083】また、ステージ313の期間ロードデータの位置合わせ器151は、データメモリ111の読み出しデータ113をロードデータ147として、データメモリ131の読み出しデータ133をロードデータ148として、データメモリ101の読み出しデータ103をロードデータ149として、それぞれ出力する。

【0084】図4は、本発明の一実施例である多重アクセスキャッシュ記憶装置の概略構成を示すブロック図である。

【0085】なお、図4では、アドレス線を中心に図示している。

【0086】多重アクセスキャッシュ記憶装置は、アドレスアレイ200と、データアレイ100と、アドレス判定回路401と、キャッシュ制御回路402とから構成されている。

【0087】図1に示すアドレス判定回路401は、第1, 第2, 第3のロード・ストア命令の論理アクセスアドレス403, 404, 405から演算を行い、2以上のロード・ストア命令が同時に実行可能であるか否かを判定する。

【0088】キャッシュ制御回路402は、データメモリ101, 111, 121, 131, 3入力セクタ105, 115, 125, 135, 203, 213, 223, 233, タグメモリ201, 211, 221, 231, ストアデータの位置合わせ器150, ロードデータの位置合わせ器151の制御を行い、同時にキャッシュミスに起因するペナルティが発生した場合に多重アクセスキャッシュ記憶装置と他の部分との同期をとる。

【0089】キャッシュ制御回路402には、制御のために必要な信号、即ち、アドレス判定回路401の判定

10

結果406と、フラグメモリの読み出しデータ208, 218, 228, 238, ヒット判定結果209, 219, 229, 239とが入力されている。

【0090】第1, 第2, 第3のロード・ストア命令の論理アクセスアドレス403, 404, 405の一部が、キャッシュラインアドレス241, 242, 243として、アドレスアレイ200に入力されている。

【0091】また、第1, 第2, 第3のロード・ストア命令の論理アドレス403, 404, 405の一部が、ワードアドレス141, 142, 143として、データアレイ200に入力されている。

【0092】キャッシュ制御回路402は、アドレス判定回路401の判定結果406により、判定結果406が1を示すときには、すべてのロード・ストア命令を実行し、また、0を示すときには、同時実行できないないので、ロード・ストア命令のうちの一部の実行をクロック単位に遅延させ、残りは実行する。

【0093】図5は、3つのロード命令を受理した場合のアドレス判定回路401の機能を真理値表の形式で示した図である。

【0094】なお、図5のように真理値表で機能が記述されていれば、その機能を論理回路で容易に実現できる。

【0095】図5において、501~506は条件信号であり、判定回路401の入力信号に相当する。

【0096】501は、AのバンクアドレスとBのバンクアドレスが等しいか否かの条件である。バンクアドレスはアドレスのビット(6:5)をいう。

【0097】502は、BのバンクアドレスとCのバンクアドレスが等しいか否かの条件である。

【0098】503は、CのバンクアドレスとAのバンクアドレスが等しいか否かの条件である。

【0099】504は、AのワードアドレスとBのワードアドレスが等しいか否かの条件である。

【0100】ワードアドレスは、アドレスのビット(31:7)と(4:3)をいう。

【0101】505は、BのワードアドレスとCのワードアドレスが等しいか否かの条件である。

【0102】506は、CのワードアドレスとAのワードアドレスが等しいか否かの条件である。

【0103】507は、3つのロード命令が同時に実行できることを示す信号である。

【0104】3つのロード命令を受理した場合には、表の結果507がアドレス判定結果406に出力される。

【0105】以下に、場合分けの各々について説明する。

【0106】場合分け508

バンクアドレスはA, B, C皆異なる。

【0107】この場合3つのロード命令が同時に実行できる。

10

20

30

40

50

11

【0108】場合分け509

3つのバンクアドレスのうちA、Cのバンクアドレスが等しい。また、A、Cのワードアドレスが等しい。

【0109】この場合、Aのバンクアドレス内のAのワードアドレスをアクセスすればそれはCの所望のデータをアクセスすることにも相当するので、3つのロード命令が同時に実行できる。

【0110】場合分け510

3つのバンクアドレスのうちA、Cのバンクアドレスが等しい。またA、Cのワードアドレスが異なっている。 10

【0111】この場合、A、Cの所望のデータを同時にアクセスすることが不可能なので、3つのロード命令が同時に実行できない。

【0112】以下、場合分け511～517が続くが、すべてに対する説明は省略する。

【0113】本実施例における、多重アクセスキャッシュ記憶装置の面積について数値例で示す。

【0114】まず、本実施例と同じキャッシュ容量で、1ポートセルを用いバンク分けを行わなかった場合のデータキャッシュ（アドレスアレイ、データアレイ合計） 20

メモリセル	5平方mm,
メモリセル以外の回路	3平方mm,
合計	8平方mm

と仮定する。

【0115】また、メモリセルの面積は、ポート数の2乗に比例し、メモリセル以外の回路の面積は物理的な並列アクセス数に比例するものとする。

【0116】従来技術の延長線上では、3個のロード・ストア命令を処理するために3ポートセルを用いざるを得ず、その場合のデータキャッシュの面積は 30

メモリセル	45平方mm,
メモリセル以外の回路	9平方mm,
合計	54平方mm

となる。

【0117】本実施例では、1バンク当たりのメモリ量はトータルのメモリ容量の1/4であることを考慮すると、

メモリセル	5平方mm (1.25平方mmかける4バンク)
メモリセル以外の回路	12平方mm,
合計	17平方mm

となり、従来技術の3ポートセルを用いる場合と比較して1/3以下の面積になる。

【0118】なお、本実施例では、バンクアドレスはアドレスのうちの最小数のビットフィールドを直接用いたが、アドレスの最小数より多いビットフィールドから演算を施した後の値を用いることも可能である。

【0119】例えば、3つのビットフィールドA (18:17)、A (12:11)、A (6:5) の排他的 50

12

論理和 (exclusive OR) 演算によって得られた2ビットの値をバンクアドレスとして用いることにより、実処理上で命令実行順序で連続する2つの（あるいは3つ以上の）ロード・ストアアドレスが別のバンクに属する確率を高めることができる。

【0120】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0121】

【発明の効果】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0122】(1) キャッシュ記憶装置において、それぞれ独立してアクセスされるタグメモリとデータメモリとを複数個設け、また、複数のデータ転送命令のアクセスアドレスに基づき、前記複数のデータ転送命令が同時にアクセス可能どうかを判定し、前記判定結果に基づいてタグメモリとデータメモリとを制御するようにしたので、複数のデータ転送命令に基づくデータの書き込み・読み出しを、面積を増加させることなく、1クロックで同時に実行することが可能となる。

【0123】(2) さらに、1つのタグメモリとデータメモリとを分割して、それぞれ独立にアクセスされるタグメモリとデータメモリとを構成するようにしたので、面積をさらに低減させることが可能となる。

【0124】(3) 本発明のキャッシュ記憶装置をプロセッサに使用することにより、1クロックあたり2以上のデータ転送命令（ロード・ストア命令）が実行可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施例である多重アクセスキャッシュ記憶装置のデータアレイの概略構成を示すブロック図である。

【図2】 本発明の一実施例である多重アクセスキャッシュ記憶装置のアドレスアレイの概略構成を示すブロック図である。

【図3】 本実施例の多重アクセスキャッシュ記憶装置において、3つのロード・ストア命令が並列に処理される場合のタイミングを示すタイミング図である。

【図4】 本発明の一実施例である多重アクセスキャッシュ記憶装置の概略構成をアドレス線を中心に示すブロック図である。

【図5】 3つのロード命令を受理した場合の本実施例のアドレス判定回路の機能を真理値表の形式で示す図である。

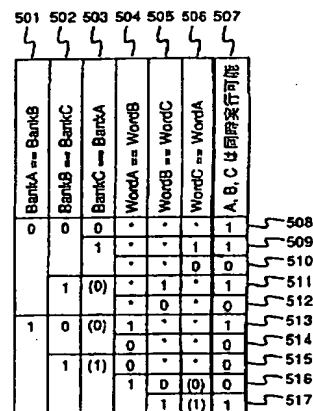
【符号の説明】

100…データアレイ部、101、111、121、131…データメモリ、102、112、122、132…データメモリの書き込みデータ、103、113、1



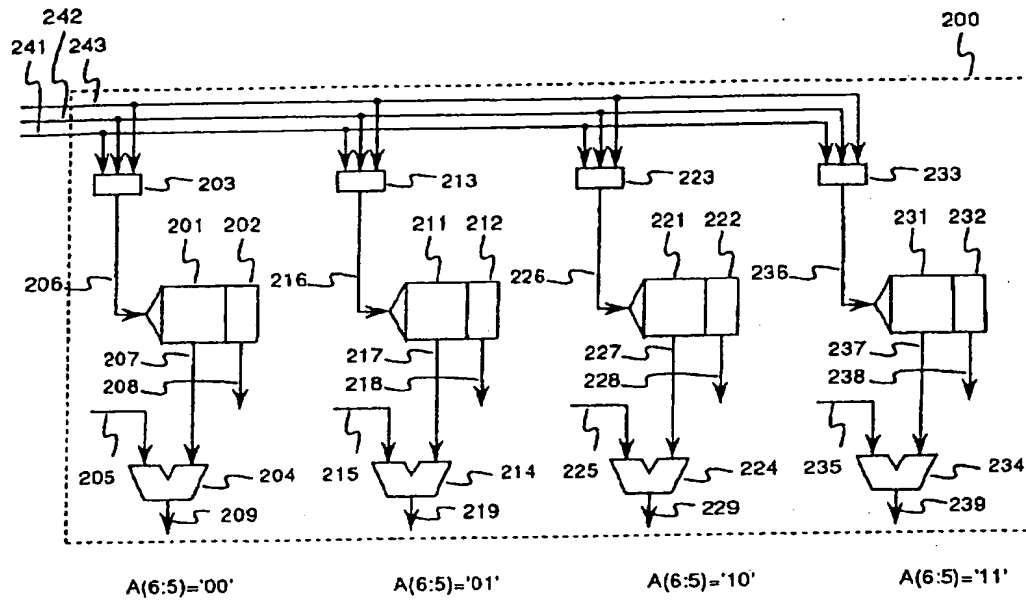
05, 215, 225, 235…物理アドレス、206, 216, 226, 236…キャッシュラインアドレス、207, 217, 227, 237…タグメモリの読み出しデータ、208, 218, 228, 238…フラグメモリの読み出しデータ、209, 219, 229, 239…ヒット判定結果、241…第1のロード・ストア命令のキャッシュラインアドレス、242…第2のロード・ストア命令のキャッシュラインアドレス、243…第3のロード・ストア命令のキャッシュラインアドレス、301, 302, 303、307, 308, 309…命令、304, 305, 306…ロード命令、401…アドレス判定回路、402…キャッシュ制御回路、403, 402, 403…論理アドレス、406…アドレス判定結果。

【図 5】



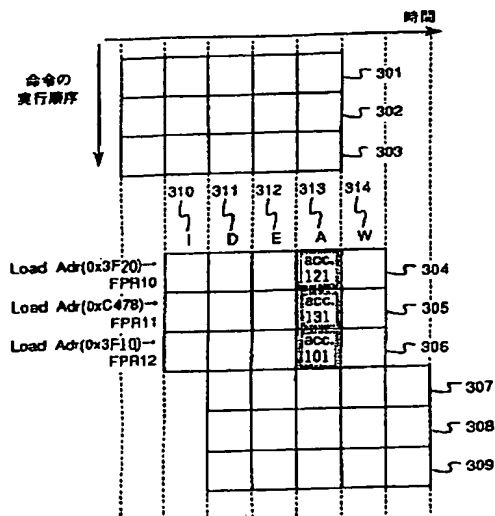
【図 2】

図 2



【図 3】

図 3



【図 4】

図 4

